

Ein eingebettetes Multiprozessorsystem für die Steuerung von NPM-Maschinen

Bernd Däne

Bernd.Daene@TU-Ilmenau.de

Falk Berger, Alexander Pacholik

Technische Universität Ilmenau



Gliederung

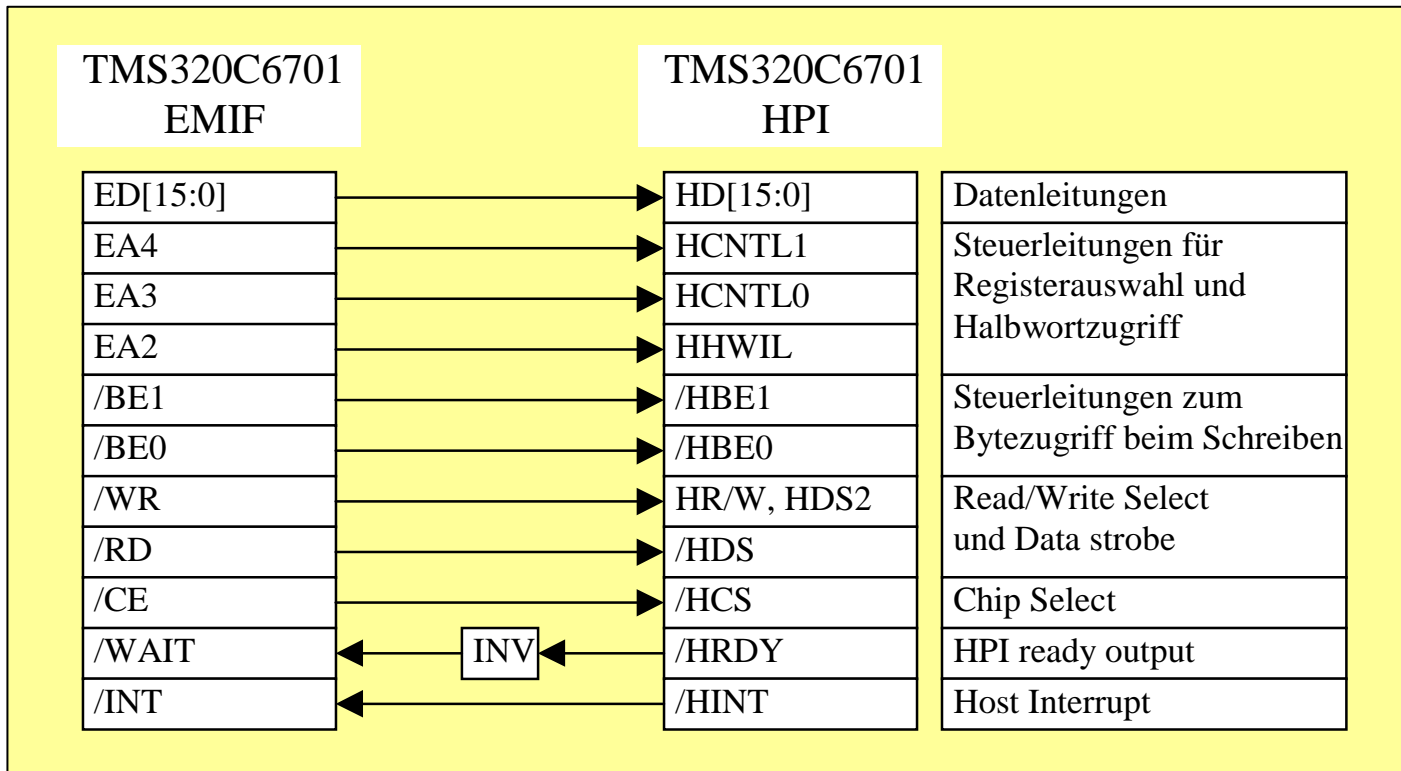
1. Einleitung
2. Konzept
3. Besonderheiten
4. Realisierung und Ergebnisse
5. Zusammenfassung und Ausblick

Diese Arbeit wurde und wird unterstützt durch die Deutsche Forschungsgemeinschaft im Rahmen des SFB 622.

1. Einleitung

- HW-Basis für hochleistungsfähige Signalverarbeitung
- Mehrprozessorsystem mit DSP der Familie TMS320C6xxx (TI)
- Durchsätze von mehreren MB/s
- Kritisch: **Kommunikationsstruktur**
→ Problem-angepasste Gestaltung

Prinzip der HPI-Kopplung



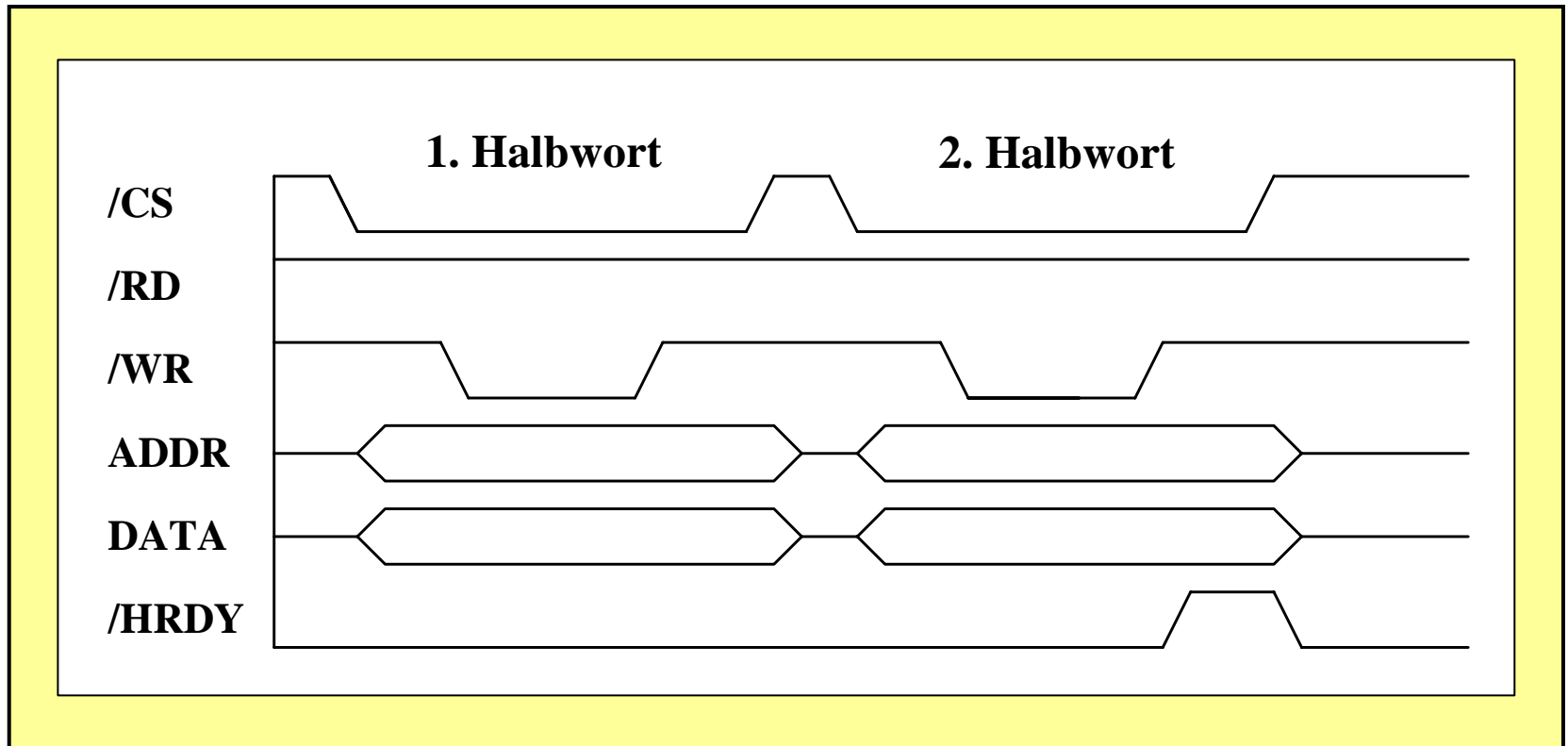
Master

Slave

EMIF: External Memory Interface

HPI: Host Port Interface

Timing beim HPI

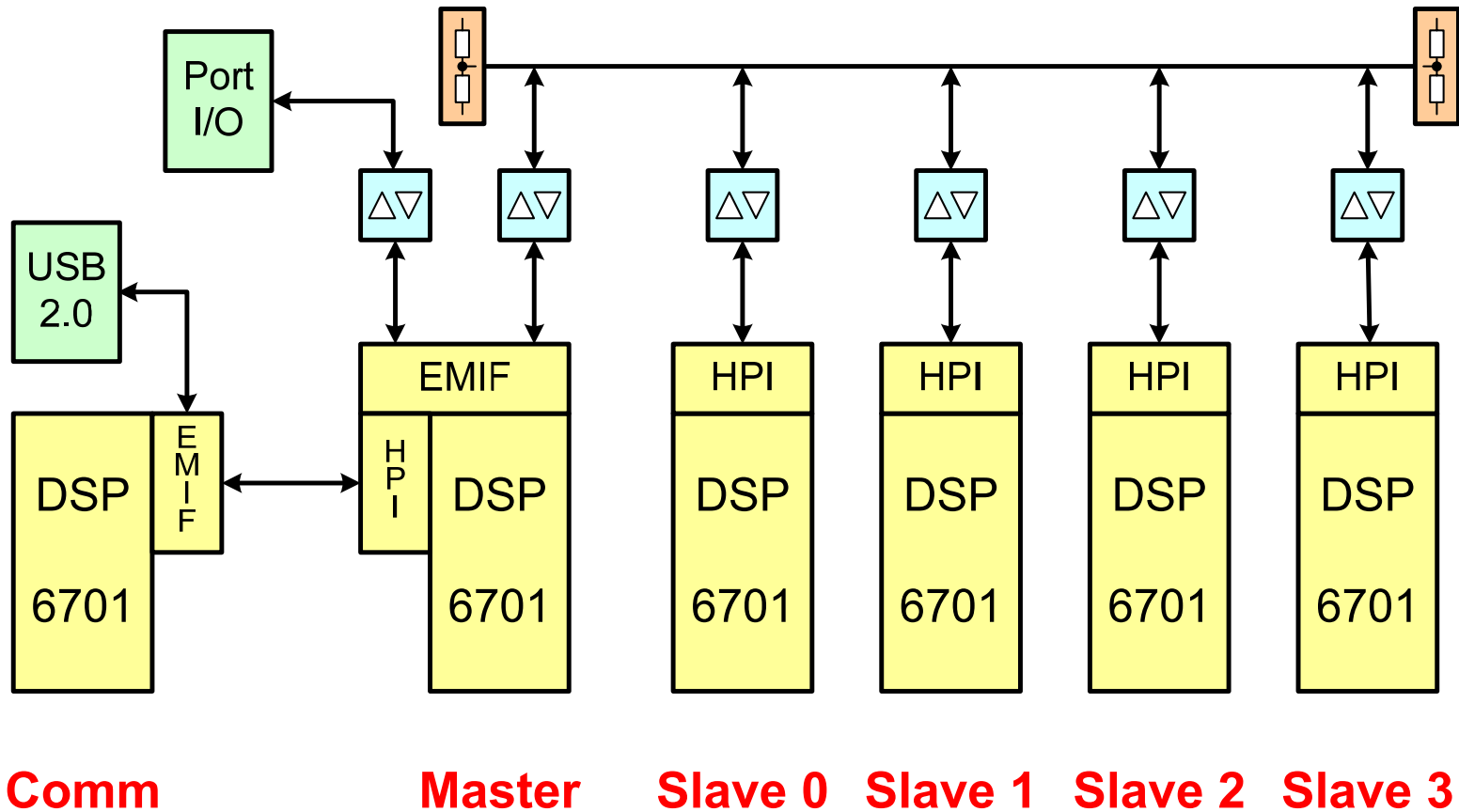


Beispiel: Schreiben auf den HPI

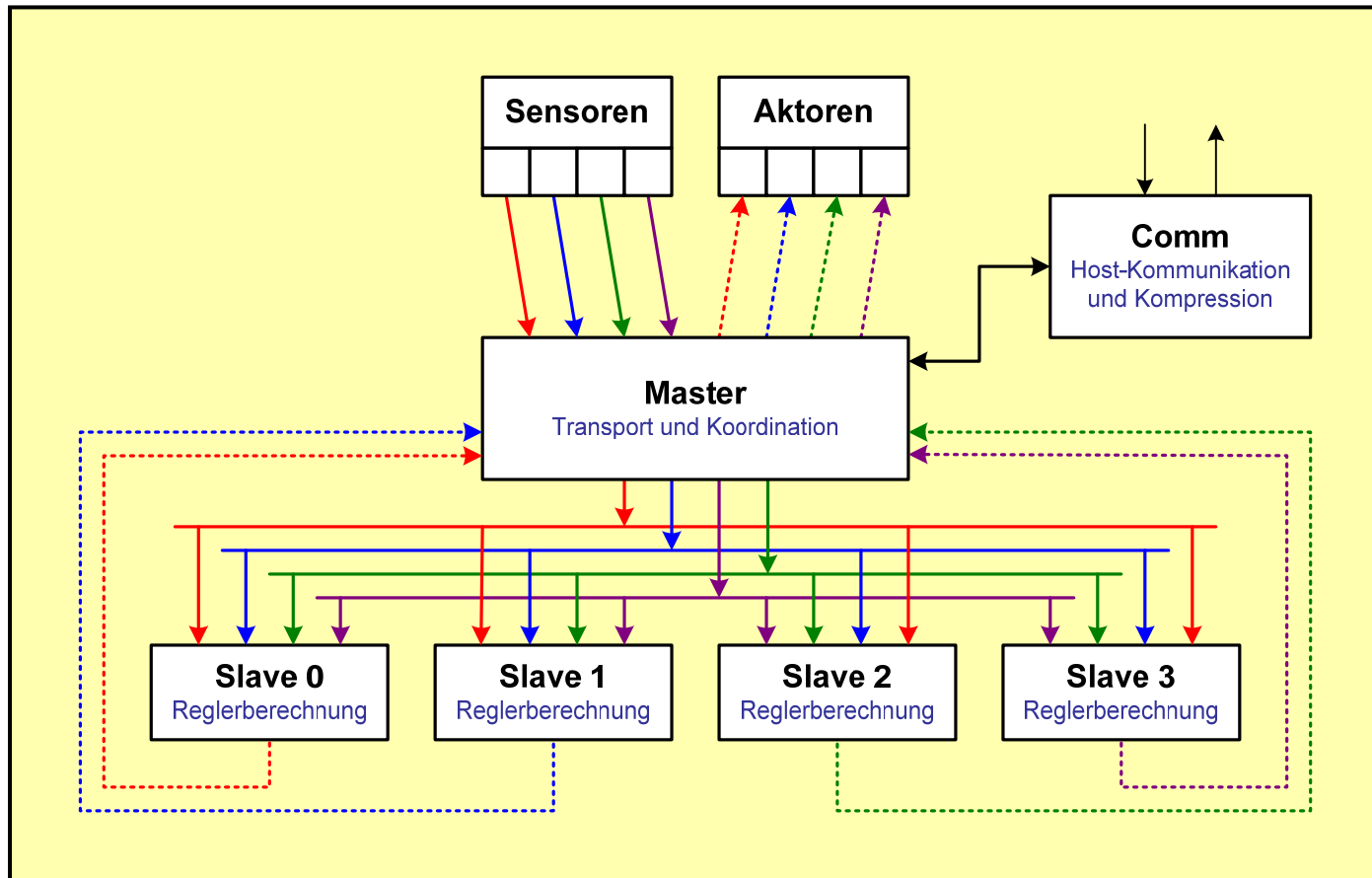
2. Konzept

- HPI-EMIF-Kopplung zum Bus erweitert
- Ein Master und n Slaves (aktuell: n=4)
- Host-Kommunikation über separaten Weg mit eigenem Prozessor

Blockschaltbild



Dominierende Datenströme

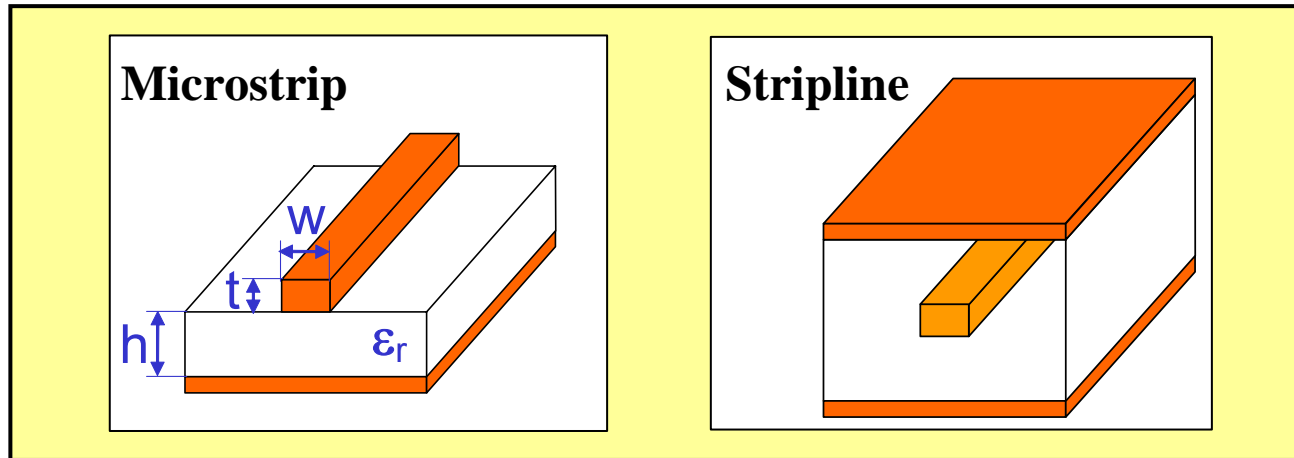


3. Besonderheiten

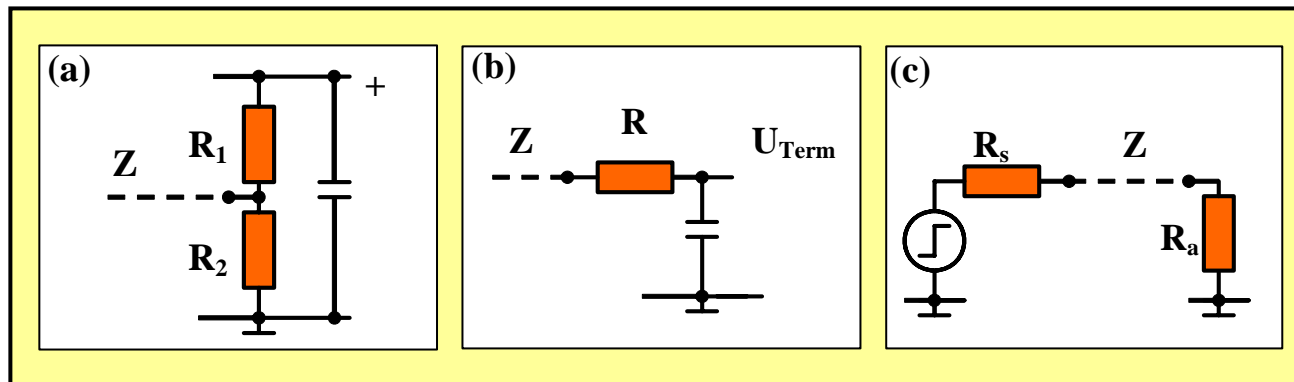
- **Broadcast:**
 - Gleichzeitiges Schreiben auf alle Slaves
 - Zeitaufwand ähnlich wie einfaches Schreiben

- **Lesen und Schreiben:**
 - Keine CPU- und DMA-Last bei den Slaves

Impedanz-kontrollierte Leitungen

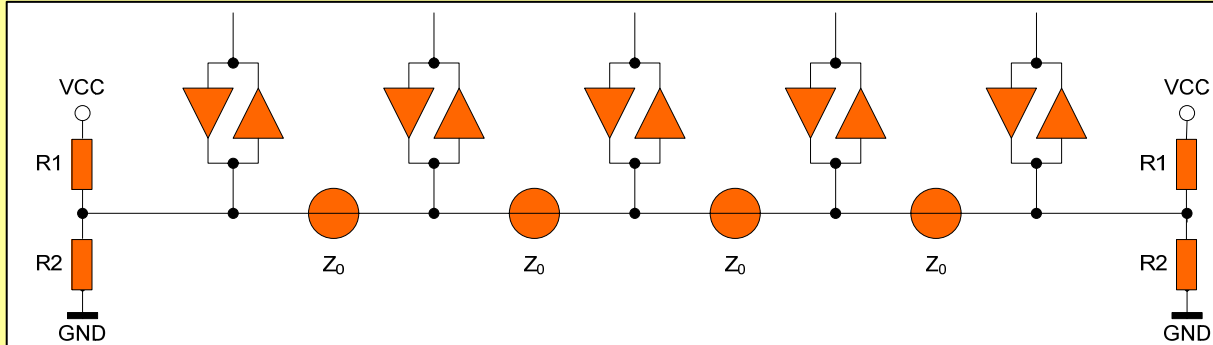


Leiterzug-
Geometrie



Terminie-
rung

Bemessung der Terminierung

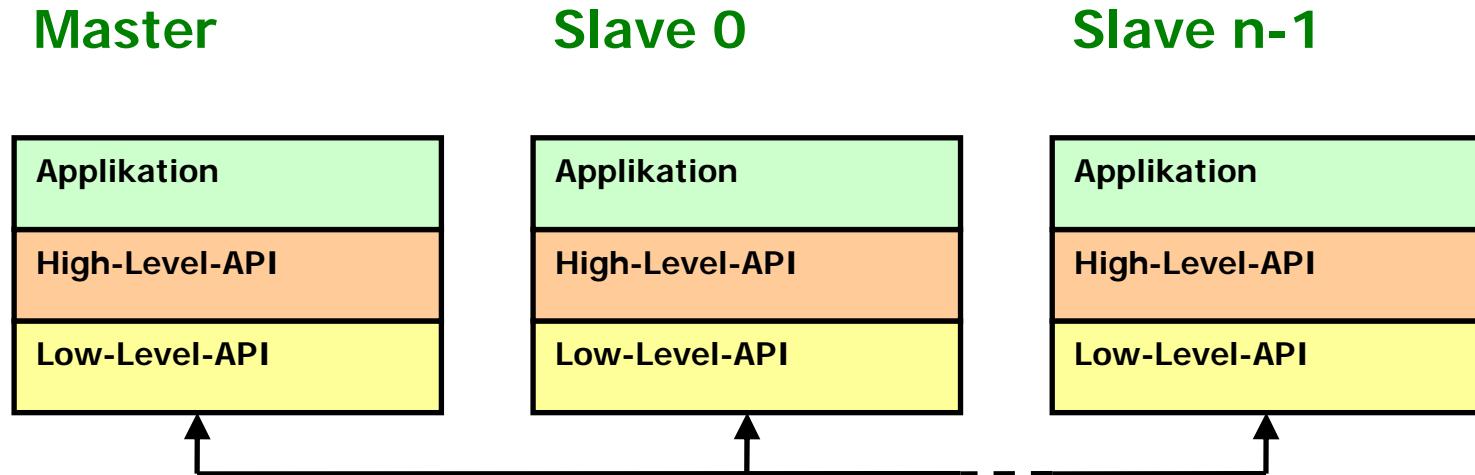


Gewählte
Paralleler-
minierung

Dimensio-
nierung

w	Leiterzugbreite	0,18mm (7mil)	
Z_0	Leiterzug-Impedanz	68,3 Ω	
R1	Terminierungswiderstand (Plus)	100 Ω	
R2	Terminierungswiderstand (Masse)	220 Ω	
V_T	Terminierungsspannung	2,27V	
Z_T	Terminierungs-Impedanz	68,7 Ω	
$I_{0 \max}$	Maximaler Laststrom	Low: 66mA	High: 30mA

Softwarestruktur

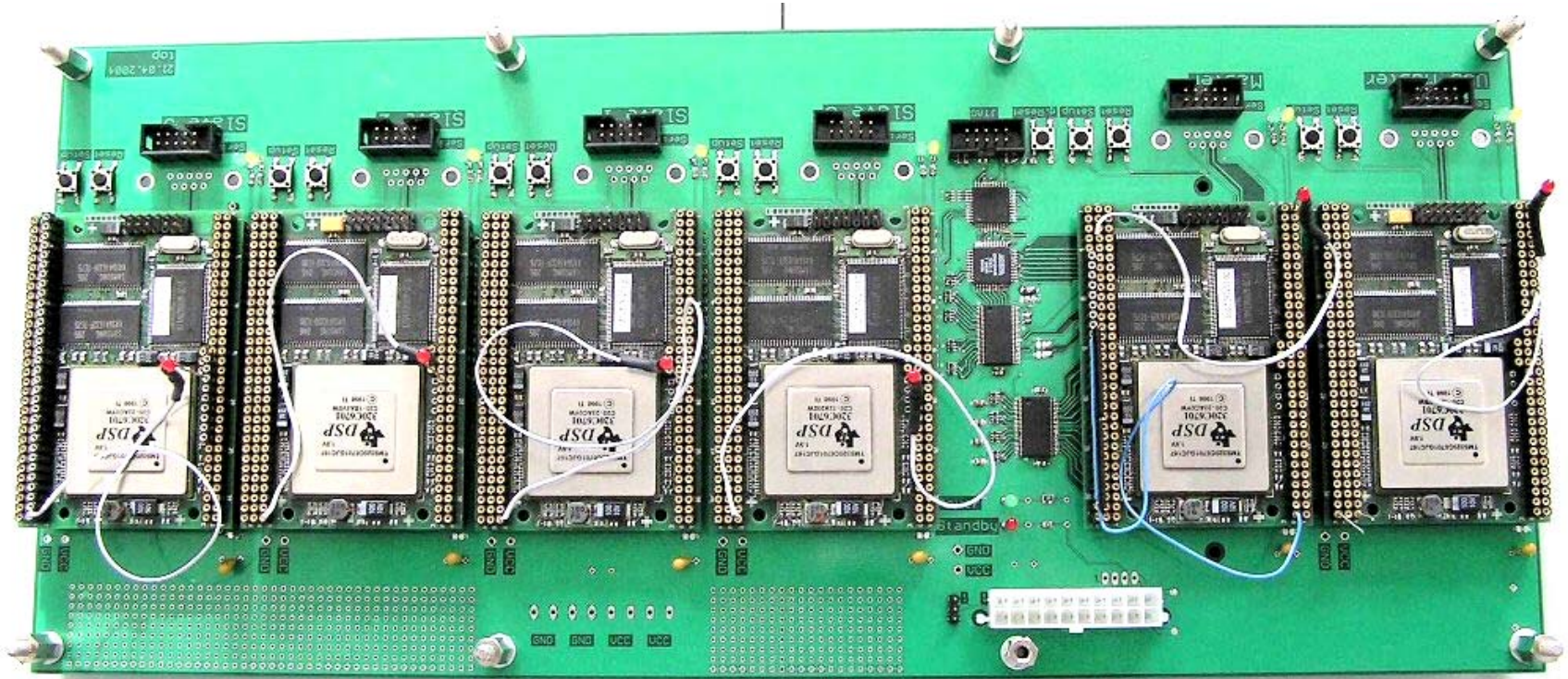


- Low-Level-API: Anlehnung an MPI (fertiggestellt)
- High-Level-API: Integration in eRTOS läuft
- Applikation: Portierung aus Vorlagen

4. Realisierung und Ergebnisse

- Laborexemplar der Platine
- DSP auf Piggyback-Modulen
- Testsoftware für Stabilitätsnachweis und Durchsatzmessungen
- Mehrprozessor-JTAG-Emulation bei der Inbetriebnahme

Ansicht der Leiterplatte



↑
Slave 3

↑
Slave 2

↑
Slave 1

↑
Slave 0

↑
Master

↑
Comm

Übertragungsraten

Richtung und Modus	Datenrate [MB/s]
Lesen von einem Slave (Einzelzugriffe)	6,1
Lesen von einem Slave (Burst-Mode)	13,3
Schreiben auf einen Slave (Burst-Mode)	14,5
Broadcast zu allen Slaves (Burst-Mode)	14,5

5. Zusammenfassung und Ausblick

- HW-Plattform für weitere SW- und HW-Entwicklung realisiert
- Erwartungen experimentell bestätigt
- **Künftige Entwicklungen:**
 - Skalierbare Prozessorzahl
 - Neue Prozessormodelle
 - Zusätzliche serielle Kommunikation

Fragen?
